

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.



PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2002-289865

(43)Date of publication of application : 04.10.2002

(51)Int.CI.

H01L 29/786
H01L 21/20
H01L 21/265
H01L 21/8234
H01L 27/088
H01L 29/43
H01L 21/336

(21)Application number : 2001-091275

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 27.03.2001

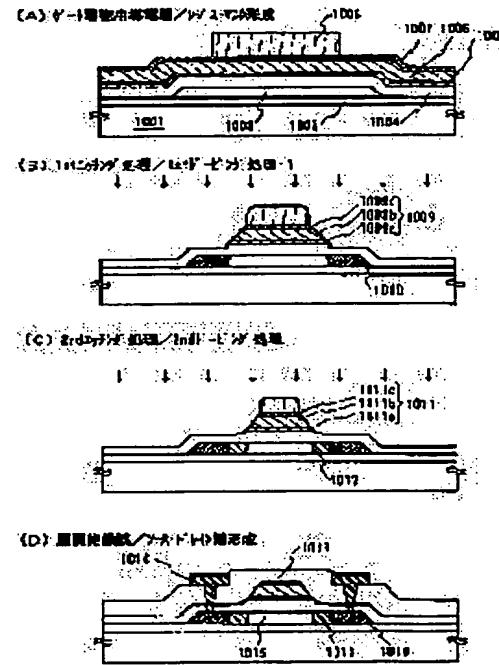
(72)Inventor : YAMAZAKI SHUNPEI
SUZAWA HIDEOMIONO KOJI
KUSUYAMA YOSHIHIRO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technology by which the resistance of the wiring of a semiconductor device represented by an active matrix liquid crystal display device having a circuit using a semiconductor element can be reduced accompanying the size of the device being increased and the wiring being made finer in wire width without increasing the number of steps in the manufacturing process of the device.

SOLUTION: The gate electrode of the semiconductor device has a laminated structure of a low-resistance conductive film, which is used for forming the electrode and made of or composed mainly of Al and another conductive film which prevents diffusion of Al in the semiconductor device or has a low contact resistance. The gate electrode is manufactured by using a device that can perform high-speed etching.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(書誌+要約+請求の範囲)

- (19) 【発行国】 日本国特許庁 (JP)
(12) 【公報種別】 公開特許公報 (A)
(11) 【公開番号】 特開2002-289865 (P 2002-289865 A)
(43) 【公開日】 平成14年10月4日 (2002. 10. 4)
(54) 【発明の名称】 半導体装置およびその作製方法
(51) 【国際特許分類第7版】

H01L 29/786

21/20

21/265 604

21/8234

27/088

29/43

21/336

【F I】

H01L 21/20

21/265 604 M

29/78 617 M

27/08 102 C

29/62 G

29/78 616 A

617 K

617 L

【審査請求】 未請求

【請求項の数】 12

【出願形態】 ○L

【全頁数】 21

(21) 【出願番号】 特願2001-91275 (P 2001-91275)

(22) 【出願日】 平成13年3月27日 (2001. 3. 27)

(71) 【出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【住所又は居所】 神奈川県厚木市長谷398番地

(72) 【発明者】

【氏名】 山崎 舜平

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72) 【発明者】

【氏名】 須沢 英臣

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72) 【発明者】

【氏名】 小野 幸治

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72) 【発明者】

【氏名】 楠山 義弘

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【テーマコード（参考）】

4M104

5F048

5F052

5F110

【F ターム（参考）】

4M104 BB16 BB18 CC05 DD65 FF08 FF13

5F048 AA09 AC04 BA16 BB01 BB04 BB09 BC06 BF02 BF07 BF11 BG07

5F052 AA02 AA11 AA17 AA24 BA02 BA07 BB02 BB03 BB07 DA02 DA10 DB02 DB03 DB07 EA16 FA06 FA19

JA01

5F110 AA03 AA16 BB02 BB04 CC02 DD02 DD03 DD15 DD17 EE01 EE02 EE03 EE04 EE06 EE09 EE15 EE23

EE48 FF09 FF12 FF28 FF30 GG01 GG02 GG13 GG25 GG32 GG33 GG34 GG43 GG45 GG47 HJ01 HJ04 HJ07

HJ12 HJ23 HL03 HL04 HL06 HL11 HM13 HM15 NN03 NN04 NN22 NN24 NN34 NN35 NN72 NN73 PP01 PP02

PP03 PP04 PP05 PP06 PP24 PP31 PP34 PP35 QQ04 QQ11 QQ23 QQ28 QQ30

(57) 【要約】

【課題】 半導体素子を用いた回路を有するアクティブマトリクス型液晶表示装置に代表される半導体装置において、製造工程における工程数を増やさずに、大型化、高精細化に伴う配線の低抵抗化を実現する技術を提供することを課題とする。

【解決手段】 ゲート電極を形成する導電膜に、A₁またはA₁を主成分とする低抵抗な導電膜と、A₁が半導体層に拡散するのを防いだり、コンタクト抵抗の低い導電膜とが積層された構造のゲート電極を高速のエッチング処理が可能な装置を用いて作製する。

【特許請求の範囲】

【請求項 1】 絶縁表面上の半導体層と、前記半導体層上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極と、を有し、前記半導体層はチャネル形成領域と、前記チャネル形成領域に接するLDD領域と、前記LDD領域に接するソース領域またはドレイン領域を有し、前記ゲート電極はテーパ形状であり、前記ゲート電極は、第4の電極、第5の電極および第6の電極の積層からなることを特徴とする半導体装置。

【請求項 2】 絶縁表面上の半導体層と、前記半導体層上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極と、を有し、前記半導体層はチャネル形成領域と、前記チャネル形成領域に接し、一導電型を付与する不純物元素を $1\times 10^{18}\sim 1\times 10^{20}/cm^3$ の濃度で含むLD領域と、前記LDD領域に接し一導電型を付与する不純物元素を $1\times 10^{20}\sim 1\times 10^{21}/cm^3$ の濃度で含むソース領域またはドレイン領域を有し、前記ゲート電極はテーパ形状であり、前記ゲート電極は、第4の電極、第5の電極および第6の電極の積層からなることを特徴とする半導体装置。

【請求項 3】 請求項1または請求項2において、前記第4の電極はタンクステンまたはタンクステンを主成分とする導電膜、前記第5の電極はアルミニウムまたはアルミニウムを主成分とする導電膜、前記第6の電極はチタンまたはチタンを主成分とする導電膜からなることを特徴とする半導体装置。

【請求項 4】 請求項1または請求項2において、前記ゲート電極は、第4の電極、第5の電極および第6の電極からなり、前記LDD領域は、前記第4の電極と前記ゲート絶縁膜を介して重なる領域を有することを特徴とする半導体装置。

【請求項 5】 絶縁体上に半導体層を形成する工程と、前記半導体層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1の導電膜、第2の導電膜および第3の導電膜を形成する工程と、前記第1の導電膜、前記第2の導電膜および前記第3の導電膜をエッチングして第1の電極、第2の電極および第3の電極からなる第1の形状のゲート電極を形成する工程と、前記第1の形状のゲート電極をマスクとして自己整合的に前記半導体層にn型不純物元素を添加する工程と、前記第1の電極、前記第2の電極および前記第3の電極をエッチングして第4の電極、第5の電極および第6の電極からなる第2の形状のゲート電極を形成する工程と、前記第4の電極、前記第5の電極および前記第6の電極をマスクとして前記半導体層にn型不純物元素を添加する工程と、を含むことを特徴とする半導体装置の作製方法。

【請求項 6】 絶縁体上に半導体層を形成する工程と、前記半導体層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1の導電膜、第2の導電膜および第3の導電膜を形成する工程と、前記第1の導電膜、前記第2の導電膜および前記第3の導電膜をエッチングして第1の電極、第2の電極および第3の電極からなる第1の形状のゲート電極を形成する工程と、前記第1の形状のゲート電極をマスクとして自己整合的に前記半導体層に

n型不純物元素を添加してn型不純物領域（A）を形成する工程と、前記第1の電極、前記第2の電極および前記第3の電極をエッチングして第4の電極、第5の電極および第6の電極からなる第2の形状のゲート電極を形成する工程と、前記第4の電極、前記第5の電極および前記第6の電極をマスクとして前記半導体層にn型不純物元素を添加してn型不純物領域（B）を形成する工程と、を含むことを特徴とする半導体装置の作製方法。

【請求項7】絶縁体上に半導体層を形成する工程と、前記半導体層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1の導電膜、第2の導電膜および第3の導電膜を形成する工程と、前記第1の導電膜、前記第2の導電膜および前記第3の導電膜をエッチングして第1の電極、第2の電極および第3の電極からなる第1の形状のゲート電極を形成する工程と、前記第1の形状のゲート電極をマスクとして自己整合的に前記半導体層にn型不純物元素を添加してn型不純物元素を $1\times 10^{20}\sim 1\times 10^{21}/cm^3$ の濃度で含むn型不純物領域（A）を形成する工程と、前記第1の電極、前記第2の電極および前記第3の電極をエッチングして第4の電極、第5の電極および第6の電極からなる第2の形状のゲート電極を形成する工程と、前記第4の電極、前記第5の電極および前記第6の電極をマスクとして前記半導体層にn型不純物元素を添加してn型不純物元素を $1\times 10^{17}\sim 1\times 10^{20}/cm^3$ の濃度で含むn型不純物領域（B）を形成する工程と、を含むことを特徴とする半導体装置の作製方法。

【請求項8】請求項5乃至請求項7のいずれか一において、前記第1の導電膜はWまたはWを主成分とする導電膜、前記第2の導電膜はAlまたはAlを主成分とする導電膜および前記第3の導電膜はTiまたはTiを主成分とする導電膜であることを特徴とする半導体装置の作製方法。

【請求項9】請求項5乃至請求項7のいずれか一において、前記第4の電極および前記ゲート絶縁膜を通して前記半導体層に不純物元素が添加されていることを特徴とする半導体装置の作製方法。

【請求項10】請求項5乃至請求項7のいずれか一において、前記半導体層は、絶縁表面に形成された非晶質半導体膜にレーザを照射して形成することを特徴とする半導体装置の作製方法。

【請求項11】請求項5乃至請求項7のいずれか一において、前記半導体層は、絶縁表面に形成された非晶質半導体膜に、結晶化を促進する金属元素を添加して加熱処理して形成することを特徴とする半導体装置の作製方法。

【請求項12】請求項11において、前記金属元素は、鉄(Fe)、ニッケル(Ni)、コバルト(Co)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、銅(Cu)、金(Au)から選ばれた一種または複数種の元素であることを特徴とする半導体装置の作製方法。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体膜を活性層（チャネル形成領域、ソース領域およびドレイン領域を含めた半導体層）とする半導体素子を用いて形成された駆動回路を含む半導体装置およびその作製方法に関する。なお、半導体素子としてはトランジスタ、特に電界効果型トランジスタ、代表的にはMOS（Metal Oxide Semiconductor）トランジスタや薄膜トランジスタ（Thin film transistor: TFT）が挙げられる。また本発明は特に、信号供給を配線抵抗が問題になる大型（20インチ以上）の表示装置およびその作製方法に関する。

【0002】

【従来技術】携帯電話、ノート型PC、など携帯型情報機器の軽量化、省電力化を実現するために、液晶表示装置の利点を生かしてその表示部に小型から中型の液晶表示装置が一般的に用いられるようになった。

【0003】さらに液晶表示装置の市場を大型のTVにまで拡大させる、一般家庭のTVをCRT（Cathode Ray Tube）から液晶表示装置にとってかえようとする動きがさかんになっている。しかし、そのためには、大型化と同時に高精細化、高輝度化も満たさなければならぬ。表示装置の大型化に伴い配線の数、長さ、配線抵抗率は増大する。配線抵抗の増大は、配線終端への信号伝達の遅れを生じさせるため、配線の低抵抗化技術は必須となる。

【0004】配線抵抗を下げる技術として、配線の線幅を広くする、配線の膜厚を厚くすることで配線抵抗を下げることができる。しかし、前者は線幅を広くした分開口率が減少してしまい、高輝度が得られなくなる。また、後者の方法では、段差が大きくなり、配線形成後に成膜する絶縁膜や電極用の金属膜を成膜する際に被覆性が低下し、歩留まりが悪くなってしまうという問題が生じる。

【0005】また、低抵抗配線材料としてアルミニウム（Al）や銅（Cu）を用いる方法があるが、これらの金属材料は、耐食性や耐熱性が悪いといった欠点がある。加熱処理によってヒロックやウィスカ等の突起物が形成されたり、アルミニウム原子がチャネル形成領域へ拡散しTFTの動作不良やTFT特性の低下を引き起こしたりという問題が生じていた。このように上記金属材料でTFTのゲート電極を形成することは容易ではないが、アルミニウム（Al）や銅（Cu）ほど低抵抗な材料はなく、大画面の液晶表示装置を作製する上で問題となっていた。

【0006】以上のようにアクティブマトリクス型液晶表示装置のような複数の集積回路を有する半導体装置において、上記した問題は要求される性能が高まるほど顕在化している。

【0007】

【発明が解決しようとする課題】本発明は、上記した問題を鑑みてなされるものであり、

半導体素子を用いた回路を有するアクティブマトリクス型液晶表示装置に代表される半導体装置において、製造工程における工程数を増やさずに、大型化、高精細化に伴う配線の低抵抗化を実現する技術を提供すること、さらに、安価で大型のガラス基板を用いることができる低温（ガラス基板の歪点以下の温度）での半導体装置の作製方法を提供することを課題としている。

【0008】

【課題を解決するための手段】本発明は、ゲート電極を形成する導電膜に、第1層に、ゲート電極を形成するアルミニウムがチャネル形成領域へ浸みだし拡散するのを防ぐためにWを主成分とする導電膜を用い、第2層としてAlを主成分とする低抵抗な材料膜を用い、第3層としてTiを主成分とする材料膜を用いており、これらの導電性材料が積層された構造のゲート電極を高速のエッチング処理が可能な装置を用いて作製することを特徴としている。

【0009】また、各種回路に配置されるTFTをその回路の機能に応じたTFTに作製することが求められる。例えば、高速動作が要求される駆動回路に設けられるTFTは、動作速度を高めることと、それと同時に顕著な問題となるホットキャリア注入による劣化を抑制することに重点を置いた構造が望ましく、そのような構造としては、チャネル形成領域とドレイン領域との間に設けられるLDD領域において、ドレイン領域に近づくにつれて徐々に導電型制御用の不純物元素の濃度が高くなるような濃度勾配を持たせる構造が知られている。この構成は、ドレイン領域近傍の空乏層において、電界が集中するのを緩和する効果がより顕著となる。

【0010】上記した不純物元素の濃度勾配を有するLDD領域を形成するために、本発明では、イオン化した一導電型を付与する不純物元素を、電界で加速してゲート絶縁膜を通過させ半導体層に添加する方法を用いる。また、本発明では端部から内側に向かって徐々に厚さが増加するテープ形状のゲート電極をエッチングにより形成しており、このテープ形状部分を通って半導体層に添加される不純物元素もあると考えられる。本発明では、工程数を増やさず（マスク枚数を増やさず）に、TFTのチャネル長方向に渡って不純物元素の濃度が徐々に変化するLDD領域を形成する。

【0011】

【発明の実施の形態】実施形態では、抵抗の低い材料を用いて工程数を増やさずに、大型化、高画質化に対応可能な表示装置の作製方法を提供するための方法について検討した結果を図1、2を用いて説明する。

【0012】基板1001上に、下地絶縁膜1002および半導体層を形成1003し、プラズマCVD法、スパッタ法、減圧CVD法などにより膜厚が40～150nmのゲート絶縁膜1004を形成した。そしてゲート絶縁膜1004上に第1の導電膜1005、第2の導電膜1006および第3の導電膜1007の3層の導電膜を形成し、マスク1008を形成した（図1（A））。

【0013】本発明は、ゲート電極を形成する導電膜に抵抗の低いAl、Cuから選ばれた元素またはAl、Cuを主成分とする合金材料もしくは化合物材料からなる導電膜と、耐熱性に優れたW、Mo、Taから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料からなる導電膜と、コンタクト抵抗が低いTiまたはTiを主成分とする合金材料もしくは化合物材料からなる導電膜と、を積層して用いる。これら導電膜の積層のエッチング処理を繰り返して、マスク数を増やすずにゲート電極を形成し、さらに求められる性能を有する TFTを得るために半導体層に不純物領域を形成するものである。

【0014】導電膜のエッチングにおいて、対象とする導電膜のエッチング速度、下地となる絶縁膜と導電膜との選択比など考慮すべき問題がある。選択比が小さいと、選択加工が困難になり、所望の形状の TFT を形成することは難しくなる。

【0015】そこで最適な処理方法を得るために、本実施形態では石英基板上にゲート絶縁膜と同じ材料からなる絶縁膜／膜厚50nmのタンクステン膜／膜厚500nmのアルミニウムとチタンの合金（Al-Ti）膜／膜厚30nmのチタン膜を順次積層した試料を用意してエッチング条件の実験を行った。なお、便宜上タンクステン膜を第1の導電膜1005、アルミニウムとチタンの合金（Al-Ti）膜を第2の導電膜1006、チタン膜を第3の導電膜1007とする。

【0016】まず、エッチング用ガスに、BCl₃、Cl₂およびO₂を用い、それぞれのガス流量比を65/10/5 (SCCM) とし、1.2Paの圧力でコイル型の電極に450WのRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行う。基板側（試料ステージ）にも300WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加してエッチングしている。続いて、エッチング用ガスに、CF₄、Cl₂およびO₂を用い、それぞれのガス流量比を25/25/10 (SCCM) とし、1.0Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入しプラズマを生成して、基板側（試料ステージ）には20WのRF (13.56MHz) 電力を投入し実質的に負の自己バイアス電圧を印加してエッチングを行う。以上の条件でエッチングを行った直後にSEMで観察した写真図が図2である。このエッチング処理により第1の導電膜、第2の導電膜および第3の導電膜から、第1の電極1009a、第2の電極1009bおよび第3の電極1009cが形成され、図2 (A) に示した導電膜の積層が第1の電極1009a、第2の電極1009bおよび第3の電極1009cからなる第1の形状のゲート電極1009と見なす。

【0017】次いで、図2 (A) に示した第1の形状のゲート電極をマスクとして、自己整合的に一導電型を付与する不純物元素を添加した様子の概略図を図1 (B) に示す。

【0018】第1の形状のゲート電極1009は、端部にテープ部を有しており、またゲート絶縁膜も表面からある程度エッチングされている。一導電型を付与する不純物元素は、ゲート絶縁膜を通してその下に形成された半導体層に添加される。また、一部の不純物元

素は、テーパ形状が形成された第1の形状のゲート電極の端部およびその近傍を通してその下に形成された半導体層にも添加することができる。これにより、高濃度に不純物が添加された不純物領域（A）1010が形成されるが、このとき、第1の電極1009aのテーパ形状部およびゲート絶縁膜を介して半導体層に不純物元素が添加され第1の形状のゲート電極と重なる領域の形成される可能性もあると考えられる。

【0019】次いで、エッチング用ガスに、BCl₃、Cl₂およびO₂を用い、それぞれのガス流量比を65／10／5（SCCM）とし、1.2Paの圧力でコイル型の電極に450WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行う。基板側（試料ステージ）にも300WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加している。続いて、エッチング用ガスに、CF₄、Cl₂およびO₂を用い、それぞれのガス流量比を25／25／10（SCCM）とし、1.0Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入しプラズマを生成して、基板側（試料ステージ）には20WのRF（13.56MHz）電力を投入し実質的に負の自己バイアス電圧を印加してエッチングを行う。このエッチング処理により、第1の電極1009a、第2の電極1009bおよび第3の電極1009cから第4の電極1011a、第5の電極1011bおよび第6の電極1011cが形成される。第4の電極1011a、第5の電極1011bおよび第6の電極1011cからなる積層を第2の形状のゲート電極1011とみなす。

【0020】次いで、第2の形状のゲート電極をマスクとして、自己整合的に一導電型を付与する不純物元素を添加した様子の概略図を図1（C）に示す。

【0021】第2のドーピング処理で一導電型を付与する不純物元素を添加する。このドーピング処理により、不純物領域（B）1012が形成される。なお、第1のドーピング処理で形成された不純物領域（A）1010に重ねて不純物元素が添加されるが添加される濃度が低いため、その影響を無視することができる。新たに形成される不純物領域（B）1012は、第4の電極1011a、第5の電極1011bおよび第6の電極1011cをマスクとして形成されるが、このとき、第4の電極1013aのテーパ形状部およびゲート絶縁膜を介して半導体層に不純物元素が添加され第2の形状のゲート電極と重なる領域の形成される可能性もあると考えられる。

【0022】以上のように、3層の導電膜を積層して減圧下でガスプラズマを用いるエッチング法によりエッチング条件を変えることで所望の形状のゲート電極を形成することができ、さらにゲート電極のテーパ部を通して不純物元素を添加することにより、半導体膜中に徐々に不純物元素濃度が変化するような領域を形成することができる。

【0023】なお、本発明の低抵抗の導電膜を積層させたゲート電極の形成に用いているICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法は、プラズマの制御が容易であり、処理基板の大面積化にも対応可能である。

【0024】

【実施例】(実施例1) 本実施例では、図3～6を用いて、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT (pチャネル型TFTおよびnチャネル型TFT) を同時に作製する方法について詳細に説明する。

【0025】図3 (A) および図4 (A)において、基板100はその材質に特段の限はないが、好ましくはバリウムホウケイ酸ガラスやアルミニノホウケイ酸ガラス、或いは石英などを用いることができる。基板100の表面には、下地絶縁膜101として無機絶縁膜を10～200nmの厚さで形成する。好適な下地絶縁膜の一例は、プラズマCVD法で作製される酸化窒化シリコン膜であり、SiH₄、NH₃、N₂Oから作製される第1酸化窒化シリコン膜を50nmの厚さに形成し、SiH₄とN₂Oから作製される第2酸化窒化シリコン膜を100nmの厚さに形成したものを利用する。下地絶縁膜101はガラス基板に含まれるアルカリ金属がこの上層に形成する半導体膜中に拡散しないために設けるものであり、石英を基板とする場合には省略することも可能である。

【0026】下地絶縁膜101の上に形成する非晶質半導体膜102は、シリコンを主成分とする半導体材料を用いる。代表的には、非晶質シリコン膜又は非晶質シリコンゲルマニウム膜などが適用され、プラズマCVD法や減圧CVD法、或いはスパッタ法で10～100nmの厚さに形成する。良質な結晶を得るために、非晶質半導体膜102に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18}/\text{cm}^3$ 以下、好ましくは、 $1 \times 10^{18}/\text{cm}^3$ 以下に低減させておくと良い。さらに、非晶質半導体膜中の酸素濃度が高いと、結晶化工程で用いる触媒元素（特に、ニッケル）が放出されにくくなってしまうため、非晶質半導体膜102中の酸素濃度は $5 \times 10^{18}/\text{cm}^3$ 以下、好ましくは、 $1 \times 10^{18}/\text{cm}^3$ 以下であることは良質な結晶質半導体膜を得るために重要である。これらの不純物は非晶質半導体の結晶化を妨害する要因となり、また結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。そのために、高純度の材料ガスを用いることはもとより、反応室内の鏡面処理（電界研磨処理）やオイルフリーの真空排気系を備えた超高真空対応のCVD装置を用いることが望ましい。

【0027】上記のように形成した非晶質半導体膜102を結晶化して結晶質半導体膜を形成する。結晶化の方法としては、公知のレーザアニール法や熱アニール法、またはRTA法を適応することができる。

【0028】なお、結晶化処理を行なう前に、半導体膜が含有する水素を放出させておくことが好ましく、400～500℃で1時間程度の熱処理を行ない含有する水素量を前記半導体膜に含まれる全原子数の5%以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。一般に、スパッタ法やLPCVD法により非晶質半導体膜を形成すると、プラズマCVD法により形成された非晶質半導体膜より含有する水素濃度が低い。また、プラズマCVD法によって形成された非晶質半導体膜でも、温度400℃以上で形成されれば、水素濃度が低いことが知られている。

【0029】本実施例では、レーザアニール法を用いて非晶質半導体膜102の結晶化を

行なう。レーザ結晶化法は、パルス発振型または連続発光型のエキシマレーザやYAGレーザ、 YVO_4 レーザ等を用いることができる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザ光を光学系で線状に集光し半導体膜に照射する方法を用いると効率が良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数300Hzとし、レーザエネルギー密度を100～800mJ/cm²（代表的には200～700mJ/cm²）とする。また、YAGレーザを用いる場合にはその第2高調波を用いパルス発振周波数1～300Hzとし、レーザエネルギー密度を300～1000mJ/cm²（代表的には350～800mJ/cm²）とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザ光を基板全面に渡って照射し、この時の線状ビームの重ね合わせ率（オーバーラップ率）を80～98%として行つてもよい。

【0030】また、レーザ結晶化法は、大気中、窒素などの不活性ガスの雰囲気中、減圧雰囲気等にて行なうことができる。

【0031】続いてチャネル形成領域、ソース領域およびドレイン領域を含む半導体層を形成するために、結晶質シリコン膜をエッチングして半導体層103～106を形成する。 n チャネル型TFTのしきい値（V_{th}）を制御するためにp型を付与する不純物元素を添加してもよい。半導体に対してp型を付与する不純物元素には、ボロン（B）、アルミニウム（Al）、ガリウム（Ga）など周期表の第13族元素が知られている。

【0032】次いで、分離された半導体層103～106を覆うゲート絶縁膜107を形成する（図3（B）、図4（B））。ゲート絶縁膜107は、プラズマCVD法やスパッタ法で形成し、その厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。勿論、このゲート絶縁膜は、シリコンを含む絶縁膜を単層或いは積層構造として用いることができる。

【0033】ゲート絶縁膜107上には、膜厚20～100nmの第1の導電膜108と、膜厚100～400nmの第2の導電膜109と、膜厚20～100nmの第3の導電膜110とを積層形成する（図3（C）、図4（C））。本実施例では、ゲート絶縁膜107上に膜厚50nmのタンクステン膜、膜厚500nmのアルミニウムとチタンの合金（Al-Ti）膜、膜厚30nmのチタン膜を順次積層したが、この材料に限定されることはい。

【0034】次に、図3（B）および図4（B）に示すように露光工程によりレジストからなるマスク110を形成し、ゲート電極及び配線を形成するための第1のエッチング処理を行う。エッチングにはICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いると良い。なお、エッチング用ガスとしては、 Cl_2 、 BCl_3 、 SiC 、 CCl_4 などを代表とする塩素系ガスまたは CF_4 、 SF_6 、 NF_3 などを代表とするフッ素系ガス、または O_2 を適宜用いることができる。なお、用いるエッチング用ガスに限定はないが、ここでは BCl_3 と Cl_2 と O_2 とを用いることが適している。それぞれのガス流量比を65/10/5（SCCM）とし、1.2Paの圧力でコイル型の電極に450Wの

R F (13. 56 MHz) 電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)にも300WのR F (13. 56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電膜の端部をテーパ形状とする。

【0035】この後、第2のエッチング条件に変え、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10 (SCCM) とし、1 Paの圧力でコイル型の電極に500WのR F (13. 56 MHz) 電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)にも20WのR F (13. 56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッチング条件ではW膜及びTaN膜とも同程度にエッチングされる。

【0036】この第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電膜及び第2の導電膜の端部がテーパ形状となる。このテーパ部の角度は15~45°となる。こうして、第1のエッチング処理により第1の電極、第2の電極および第3の電極から成る第1の形状のゲート電極112~115 (第1の電極112a~1152a、第2の電極112b~115bおよび第3の電極112c~115c) が形成される(図3(D)、図4(D))。ゲート絶縁膜の第1の形状のゲート電極112~115で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

【0037】ここで、第1のドーピング処理を行い、半導体層にn型を付与する不純物元素(以下、n型不純物元素という)を添加する。ここでは、第1の電極を形成したマスク111をそのまま残し、第1の形状のゲート電極をマスクとして、自己整合的にn型不純物元素をイオンドープ法で添加する。n型不純物元素としては、周期表の15族に属する元素、代表的にはリン(P)やヒ素(As)を用いる。ここでは、リンを用いる。このようなイオンドープ法により、第1の不純物領域116~119には、n型不純物元素を1×10²⁰~1×10²¹/cm³の濃度で含むn型不純物領域が形成される。この領域をn型不純物領域(A)とする。このとき、第1の電極のテーパ形状部およびゲート絶縁膜を介して半導体層に不純物元素が添加され第1の形状のゲート電極と重なる領域の形成される可能性もあると考えられる。

【0038】次に、レジストからなるマスク111を除去せずに第2のエッチング処理を行う。エッチング用ガスとしては、Cl₂、BCl₃、SiCl₄、CCl₄などを代表とする塩素系ガスまたはCF₄、SF₆、NF₃などを代表とするフッ素系ガス、またはO₂を適宜用いることができる。なお、用いるエッチング用ガスに限定はないが、ここではBCl₃とCl₂とO₂とを用いることが適している。それぞれのガス流量比を65/10/5 (SCCM) とし、1.2 Paの圧力でコイル型の電極に450WのR F (13. 56 MHz) 電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)にも300WのR F (13. 56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。

【0039】 続いて、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10 (SCCM) とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して約30秒程度のエッチングを行う。基板側(試料ステージ)にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。

【0040】 こうして、第1の電極、第2の電極および第3の電極をエッチングして、第4の電極、第5の電極および第6の電極からなる第2の形状のゲート電極120～123 (第4の電極120a～123a、第5の電極120b～123bおよび第6の電極120c～123c) を形成する。

【0041】 次いで、第2のドーピング処理を行い、半導体層103～106にn型不純物元素を添加する。この工程では、第2の形状のゲート電極120～123をマスクとして用いn型不純物元素が $1 \times 10^{17} \sim 1 \times 10^{20}/\text{cm}^3$ の濃度で含まれるn型不純物領域124～127を形成する。この領域をn型不純物領域(B)とする。このとき、第4の電極のテーパ形状部およびゲート絶縁膜を介して半導体層に不純物元素が添加され第2の形状のゲート電極と重なる領域の形成される可能性もあると考えられる。

【0042】 続いて、後にnチャネル型TFTとなる領域をマスク128、129で覆い、第3のドーピング処理を行い、半導体層104、106にp型を付与する不純物元素(以下、p型不純物元素という)を添加する。第3のドーピング処理も第2の形状の導電層をマスクとして用い、自己整合的にp型不純物元素を添加する。この工程により、p型不純物元素を $2 \times 10^{20} \sim 3 \times 10^{21}/\text{cm}^3$ の濃度で含むp型不純物領域130、131が形成される。

【0043】 ここで、p型不純物領域130、131を詳細にみると、n型不純物元素を $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度で含む130a、131a、n型不純物元素を $1 \times 10^{17} \sim 1 \times 10^{20}/\text{cm}^3$ の濃度で含む130b、131bが存在することがわかる。しかし、これらの不純物領域は、p型不純物元素の濃度がn型不純物元素の濃度の1.5～3倍になるように形成されているため、pチャネル型TFTのソース領域またはドレイン領域として機能するために何ら問題は生じない。

【0044】 なお、不純物領域131は画素部において保持容量を形成する半導体層に形成されている。

【0045】 以上までの工程でそれぞれの半導体層にn型またはp型の導電型を有する不純物領域が形成される。また、第2の形状の電極123は画素部において保持容量を形成する一方の電極となる。

【0046】 次いで、ほぼ全面を覆う第1の層間絶縁膜132を形成する(図5(C)、図6(C))。この第1の層間絶縁膜132は、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとしてシリコンと水素を含む絶縁膜で形成する。その好適な一例は、プラズマCVD法により形成される膜厚150nmの酸化窒化シリコン膜である。

勿論、第1の層間絶縁膜132aは酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0047】その後、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化はYAGレーザの第2高調波(532nm)を用いてこの光を半導体膜に照射する。レーザ光に限らずランプ光源を用いるRTA法でも同様であり、基板の両面または基板側からランプ光源の輻射により半導体膜を加熱する。

【0048】その後、プラズマCVD法で窒化シリコンから成る絶縁膜132bを50～100nmの厚さに形成し、クリーンオーブンを用いて410℃の熱処理を行い、窒化シリコン膜から放出される水素で半導体膜の水素化を行う。

【0049】次いで、第1の層間絶縁膜132上に有機絶縁物材料から成る第2の層間絶縁膜133を形成する。次いで、各不純物領域に達するコンタクトホールを形成する。その後、Al、Ti、Mo、Wなどを用いて配線及び画素電極を形成する。例えば、膜厚50～250nmのTi膜と、膜厚300～500nmの合金膜(AlとTiとの合金膜)との積層膜を用いる。こうして、配線134～140、画素電極141が形成される(図5(D)、図6(D))。

【0050】以上の様にして、pチャネル型TFT203、nチャネル型TFT204を有する駆動回路201と、nチャネル型TFT205、保持容量206とを有する画素部202を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。なお、画素部202のTFTはpチャネル型TFTであっても良い。

【0051】駆動回路201のpチャネル型TFT203にはチャネル形成領域210、p型不純物領域130b、ソース領域またはドレイン領域として機能するp型不純物領域130aを有している。nチャネル型TFT204にはチャネル形成領域211、LDD領域となるn型不純物領域(B)125、ソース領域またはドレイン領域として機能するn型不純物領域(A)117を有している。このようなnチャネル型TFT及びpチャネル型TFTによりシフトレジスタ回路、バッファ回路、レベルシフタ回路、ラッチ回路などを形成することができる。特に、駆動電圧が高いバッファ回路には、ホットキャリア効果による劣化を防ぐ目的から、nチャネル型TFT204の構造が適している。

【0052】画素部202の画素TFT205にはチャネル形成領域212、LDD領域となるn型不純物領域(B)126、ソース領域またはドレイン領域として機能するn型不純物領域(A)119を有している。また、保持容量206の一方の電極として機能する半導体層にはp型の不純物元素が添加された不純物領域131が形成されている。保持容量206は、絶縁膜(ゲート絶縁膜と同一膜)を誘電体として、第2の形状の電極123と、半導体層106とで形成されている。

【0053】本発明は、画素部及び駆動回路が要求する回路仕様に応じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能及び信頼性を向上させることができる。

具体的には、nチャネル型TFTは回路仕様に応じてLDD構造に変化をもたせている。上述のように、駆動回路のnチャネル型TFTはゲート電極と一部が重なるLDD構造として、主にホットキャリア効果によるTFTの劣化を防ぐ構造としている。また、画素部のnチャネル型TFTはゲート電極と重ならないLDD構造として、主にオフ電流を低減することを重視した構造としている。本発明はこのような構造の異なるnチャネル型TFTに加え、pチャネル型TFTを同一基板上に形成する技術を提供し、それを6枚のフォトマスクで作製可能にしている。また、画素電極を透明導電膜で形成すると、フォトマスクは1枚増えるものの、透過型の表示装置を形成することができる。

【0054】(実施例2) ゲート電極を形成する導電膜の組み合わせの例として、実施例1で示した材料以外に、第1の導電膜としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、第1の導電膜をタンゲステン(W)膜またはモリブデン(Mo)膜で形成し、第2の導電膜をCu膜、第3の導電膜をチタン(Ti)膜とする組み合わせ、第1の導電膜をタンタル(TaN)膜で形成し、第2の導電膜をアルミニウム(A1)とシリコン(Si)の合金膜、第3の導電膜をチタン(Ti)膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をA1膜とする組み合わせ、第1の導電膜を窒化チタン(TiN)膜で形成し、第2の導電膜をA1膜、第3の導電膜を窒化チタン(TiN)とする組み合わせとしてもよい。

【0055】本実施例は、実施例1に組み合わせて用いることができる。

【0056】(実施例3) 本実施例では、ゲート電極を形成する導電膜にA1またはAlを主成分とする導電膜材料を用いた場合に、この導電膜材料の表面をプラズマにより処理することで表面を酸化して、A1が半導体膜に拡散するのを防ぐ方法について説明する。

【0057】酸素または酸素を含む気体雰囲気中において、A1またはAlを主成分とする導電膜の表面をプラズマ処理し、表面を酸化して $A_{1-x}O_{1-x}$ 膜を形成する。A1の表面を酸化して改質することにより、アルミニウム元素が浸みだして半導体層に拡散するのを防止することができる。

【0058】本実施例は、実施例1、2と組み合わせて用いることができる。

【0059】(実施例4) 本実施例ではTFTの半導体層を形成する工程について図7を用いて説明する。なお、本実施例の結晶化手段は特開平7-130652号公報の実施例1に記載された技術である。

【0060】まず、基板(本実施例ではガラス基板)401上に200nm厚の窒化酸化シリコン膜でなる下地絶縁膜402と200nm厚の非晶質半導体膜(本実施例では非晶質シリコン膜)403を形成する。この工程は下地絶縁膜と非晶質半導体膜を大気解放しないで連続的に形成しても構わない。

【0061】次に、重量換算で10ppmの触媒元素(本実施例ではニッケル)を含む水溶液(酢酸ニッケル水溶液)をスピンドルコート法で塗布して、触媒元素含有層404を非晶質半導体膜403の全面に形成する。ここで使用可能な触媒元素は、鉄(Fe)、ニッケ

ル (N i)、コバルト (C o)、ルテニウム (R u)、ロジウム (R h)、パラジウム (P d)、オスミウム (O s)、イリジウム (I r)、白金 (P t)、銅 (C u)、金 (A u) といった元素がある (図7 (A))。

【0062】また、本実施例ではスピンドル法でニッケルを添加する方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜（本実施例の場合はニッケル膜）を非晶質半導体膜上に形成する手段をとっても良い。

【0063】次に、結晶化の工程に先立って400～500℃で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500～650℃（好ましくは550～570℃）で4～12時間（好ましくは4～6時間）の熱処理を行う。本実施例では、550℃で4時間の熱処理を行い、結晶質半導体膜（本実施例では結晶質シリコン膜）405を形成する(図7 (B))。

【0064】なお、ここで実施例1と同様のレーザーニードル工程（第1の光アニール）を行って、結晶質半導体膜405の結晶性を改善しても良い。

【0065】次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッタリング工程を行う。まず、結晶質半導体膜405の表面にマスク絶縁膜406を150nmの厚さに形成し、パターニングにより開口部407を形成する。そして、露出した結晶質半導体膜に対して周期表の15族に属する元素（本実施例ではリン）を添加する工程を行う。この工程により $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm³の濃度でリンを含むゲッタリング領域408が形成される (図7 (C))。

【0066】次に、窒素雰囲気中で450～650℃（好ましくは500～550℃）、4～24時間（好ましくは6～12時間）の熱処理工程を行う。この熱処理工程により結晶質半導体膜中のニッケルは矢印の方向に移動し、リンのゲッタリング作用によってゲッタリング領域408に捕獲される。即ち、結晶質半導体膜中からニッケルが除去されたため、結晶質半導体膜409に含まれるニッケル濃度は、 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³以下にまで低減することができる (図7 (D))。

【0067】以上のようにして形成された結晶質半導体膜409は、結晶化を助長する触媒元素（ここではニッケル）を用いることによって、非常に結晶性の良い結晶質半導体膜で形成されている。また、結晶化のあとは触媒元素をリンのゲッタリング作用により除去しており、結晶質半導体膜409中（但しゲッタリング領域以外）に残存する触媒元素の濃度は、 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³以下である。

【0068】なお、本実施例の特徴は、触媒元素を用いて結晶化させた結晶質半導体膜を形成した後で、活性層として用いない領域にゲッタリング領域（高濃度に周期表の15族に属する不純物元素を含む領域）を形成し、熱処理によって結晶化に用いた触媒元素をゲッタリングする点にある。

【0069】本実施例の構成は、実施例1、2に示した構成と組み合わせて用いることが可能である。

【0070】(実施例5) 本実施例ではTFTの半導体層を形成する工程について図8を用いて説明する。具体的には特開平10-247735号公報(米国出願番号09/034,041号に対応)に記載された技術を用いる。

【0071】まず、基板(本実施例ではガラス基板)501上に200nm厚の窒化酸化シリコン膜でなる下地絶縁膜502と200nm厚の非晶質半導体膜(本実施例では非晶質シリコン膜)503を形成する。この工程は下地絶縁膜と非晶質半導体膜を大気開放しないで連続的に形成しても構わない。

【0072】次に、酸化シリコン膜でなるマスク絶縁膜504を200nmの厚さに形成し、開口部505を形成する。

【0073】次に、重量換算で100ppmの触媒元素(本実施例ではニッケル)を含む水溶液(酢酸ニッケル水溶液)をスピンドル法で塗布して、触媒元素含有層506を形成する。この時、触媒元素含有層506は、開口部505が形成された領域において、選択的に非晶質半導体膜503に接触する。ここで使用可能な触媒元素は、鉄(Fe)、ニッケル(Ni)、コバルト(Co)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、銅(Cu)、金(Au)といった元素がある(図8(A))。

【0074】また、本実施例ではスピンドル法でニッケルを添加する方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜(本実施例の場合はニッケル膜)を非晶質半導体膜上に形成する手段をとっても良い。

【0075】次に、結晶化の工程に先立って400~500℃で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500~650℃(好ましくは550~600℃)で6~16時間(好ましくは8~14時間)の熱処理を行う。本実施例では、570℃で14時間の熱処理を行う。その結果、開口部505を起点として概略基板と平行な方向(矢印で示した方向)に結晶化が進行し、巨視的な結晶成長方向が揃った結晶質半導体膜(本実施例では結晶質シリコン膜)507が形成される。図8(B)【0076】次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッタリング工程を行う。本実施例では、先ほど形成したマスク絶縁膜504をそのままマスクとして周期表の15族に属する元素(本実施例ではリン)を添加する工程を行い、開口部505で露出した結晶質半導体膜に $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm³の濃度でリンを含むゲッタリング領域508を形成する(図8(C))。

【0077】次に、窒素雰囲気中で450~650℃(好ましくは500~550℃)、4~24時間(好ましくは6~12時間)の熱処理工程を行う。この熱処理工程により結晶質半導体膜中のニッケルは矢印の方向に移動し、リンのゲッタリング作用によってゲッタリング領域508に捕獲される。即ち、結晶質半導体膜中からニッケルが除去されるため、結晶質半導体膜509に含まれるニッケル濃度は、 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³以下にまで低減することができる(図8(D))。

【0078】以上のようにして形成された結晶質半導体膜509は、結晶化を助長する触媒元素（ここではニッケル）を選択的に添加して結晶化することによって、非常に結晶性の良い結晶質半導体膜で形成されている。具体的には、棒状または柱状の結晶が、特定の方向性を持って並んだ結晶構造を有している。また、結晶化のあとは触媒元素をリンのゲッタリング作用により除去しており、結晶質半導体膜509中に残存する触媒元素の濃度は、 1×10^{17} atms/cm³以下、好ましくは 1×10^{16} atms/cm³以下である。

【0079】なお、本実施例の特徴は、触媒元素を用いて結晶化させた結晶質半導体膜を形成した後で、活性層として用いない領域にゲッタリング領域（高濃度に周期表の15族に属する不純物元素を含む領域）を形成し、熱処理によって結晶化に用いた触媒元素をゲッタリングする点にある。

【0080】本実施例の構成は、実施例1、2に示した構成と組み合わせて用いることが可能である。

【0081】（実施例6）本実施例では、図9を用いて、TFTの半導体層を形成する工程について説明する。非晶質半導体膜の全面に触媒作用のある金属元素を全面に添加して結晶化した後、希ガス元素（本実施形態においては、Ar）を含む半導体膜を成膜し、この膜をゲッタリングサイトとして用いてゲッタリングを行う方法について説明する。

【0082】図9（A）において、基板600はその材質に特段の限定はないが、好ましくはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラス、或いは石英などを用いることができる。基板600の表面には、下地絶縁膜601として無機絶縁膜を10～200nmの厚さで形成する。好適な下地絶縁膜の一例は、プラズマCVD法で作製される酸化窒化シリコン膜であり、SiH₄、NH₃、N₂Oから作製される第1酸化窒化シリコン膜を50nmの厚さに形成し、SiH₄とN₂Oから作製される第2酸化窒化シリコン膜を100nmの厚さに形成したものを適用する。下地絶縁膜601はガラス基板に含まれるアルカリ金属がこの上層に形成する半導体膜中に拡散しないために設けるものであり、石英を基板とする場合には省略することも可能である。

【0083】下地絶縁膜601の上に形成する非晶質半導体膜602は、シリコンを主成分とする半導体材料を用いる。代表的には、非晶質シリコン膜又は非晶質シリコンゲルマニウム膜などが適用され、プラズマCVD法や減圧CVD法、或いはスパッタ法で10～100nmの厚さに形成する。良質な結晶を得るために、非晶質半導体膜602に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18}/cm^3$ 以下に低減させておくと良い。これらの不純物は非晶質半導体の結晶化を妨害する要因となり、また結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。そのために、高純度の材料ガスを用いることはもとより、反応室内の鏡面処理（電界研磨処理）やオイルフリーの真空排気系を備えた超高真空対応のCVD装置を用いることが望ましい。

【0084】その後、非晶質半導体膜602の表面に、結晶化を促進する触媒作用のある金属元素を添加する（図9（b））。半導体膜の結晶化を促進する触媒作用のある金属元素

としては鉄 (F e)、ニッケル (N i)、コバルト (C o)、ルテニウム (R u)、ロジウム (R h)、パラジウム (P d)、オスミウム (O s)、イリジウム (I r)、白金 (P t)、銅 (C u)、金 (A u) などであり、これらから選ばれた一種または複数種を用いることができる。代表的にはニッケルを用い、重量換算で 1~1 0 0 ppm のニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布して触媒含有層 6 0 3 を形成する。この場合、当該溶液の馴染みをよくするために、非晶質半導体膜 6 0 2 の表面処理として、オゾン含有水溶液で極薄い酸化膜を形成し、その酸化膜をフッ酸と過酸化水素水の混合液でエッティングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておく。シリコンなど半導体膜の表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル塩溶液を均一に塗布することができる。

【0 0 8 5】勿論、触媒含有層 6 0 3 はこのような方法に限定されず、スパッタ法、蒸着法、プラズマ処理などにより形成しても良い。また、触媒元素含有層 6 0 3 は非晶質半導体膜 6 0 2 を形成する前、即ち下地絶縁膜 6 0 1 上に形成しておいても良い。

【0 0 8 6】非晶質半導体膜 6 0 2 と触媒元素含有層 6 0 3 とを接触した状態を保持したまま結晶化のための加熱処理を行う。加熱処理の方法としては、電熱炉を用いるファーネスアニール法や、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどを用いた瞬間熱アニール (Rapid Thermal Annealing) 法 (以下、RTA法と記す) を採用する。生産性を考慮すると、RTA法を採用することが好ましいと考えられる。

【0 0 8 7】RTA法で行う場合には、加熱用のランプ光源を 1~6 0 秒、好ましくは 3 0~6 0 秒点灯させ、それを 1~1 0 回、好ましくは 2~6 回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には 6 0 0~1 0 0 0 □、好ましくは 6 5 0~7 5 0 □程度にまで加熱されるようにする。このような高温になったとしても、半導体膜が瞬間に加熱されるのみであり、基板 6 0 0 はそれ自身が歪んで変形することはない。こうして、非晶質半導体膜を結晶化させ、図9 (c) に示す結晶質半導体膜 6 0 4 を得ることができるが、このような処理で結晶化できるのは触媒元素含有層を設けることによりはじめて達成できるものである。

【0 0 8 8】その他の方法としてファーネスアニール法を用いる場合には、加熱処理に先立ち、5 0 0 □にて 1 時間程度の加熱処理を行い、非晶質半導体膜 6 0 2 が含有する水素を放出させておく。そして、電熱炉を用いて窒素雰囲気中にて 5 5 0~6 0 0 □、好ましくは 5 8 0 □で 4 時間の加熱処理を行い非晶質半導体膜 1 0 2 を結晶化させる。こうして、図9 (b) に示す結晶質半導体膜 6 0 4 を形成する。

【0 0 8 9】さらに結晶化率 (膜の全体積における結晶成分の割合) を高め、結晶粒内に残される欠陥を補修するためには、図9 (c) で示すように結晶質半導体膜 6 0 4 に対してレーザ光を照射することも有効である。レーザには波長 4 0 0 nm 以下のエキシマレーザ光や、YAG レーザの第 2 高調波、第 3 高調波を用いる。いずれにしても、繰り返し周波

数 10 ~ 1000 Hz 程度のパルスレーザー光を用い、当該レーザ光を光学系にて 100 ~ 400 mJ/cm² に集光し、90 ~ 95 % のオーバーラップ率をもって結晶質半導体膜 604 に対するレーザ処理を行っても良い。

【0090】このようにして得られる結晶質半導体膜 605 には、触媒元素（ここではニッケル）が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 $1 \times 10^{19}/\text{cm}^3$ を越える濃度で残存している。勿論、このような状態でも TFT をはじめ各種半導体素子を形成することが可能であるが、以降に示す方法でゲッタリングにより当該元素を除去する。

【0091】まず、図9 (d) に示すように結晶質半導体膜 605 の表面に薄い層 606 を形成する。本明細書において、結晶質半導体膜 605 上に設けた薄い層 606 は、後にゲッタリングサイトを除去する際に、第 1 の半導体膜 605 がエッチングされないように設けた層で、バリア層 606 ということにする。

【0092】バリア層 606 の厚さは 1 ~ 10 nm 程度とし、簡便にはオゾン水で処理することにより形成されるケミカルオキサイドをバリア層としても良い。また、硫酸、塩酸、硝酸などと過酸化水素水を混合させた水溶液で処理しても同様にケミカルオキサイドを形成することができる。他の方法としては、酸化雰囲気中のプラズマ処理や、酸素含有雰囲気中の紫外線照射によりオゾンを発生させて酸化処理を行っても良い。また、クリーンオーブンを用い、200 ~ 350 °C 程度に加熱して薄い酸化膜を形成しバリア層としても良い。或いは、プラズマ CVD 法やスパッタ法、蒸着法などで 1 ~ 5 nm 程度の酸化膜を堆積してバリア層としても良い。いずれにしても、ゲッタリング工程時に、触媒元素がゲッタリングサイト側に移動できて、ゲッタリングサイトの除去工程時には、エッチング液がしみこまない（結晶性半導体膜 605 をエッチング液から保護する）膜、例えば、オゾン水で処理することにより形成されるケミカルオキサイド膜、酸化シリコン膜 (SiO_x)、または多孔質膜を用いればよい。

【0093】次いで、バリア層 606 上にスパッタ法でゲッタリングサイト 607 として、膜中に希ガス元素を $1 \times 10^{20}/\text{cm}^3$ 以上の濃度で含む第 2 の半導体膜（代表的には、非晶質シリコン膜）を 25 ~ 250 nm の厚さで形成する。後に除去されるゲッタリングサイト 607 は結晶質半導体膜 605 とエッチングの選択比を大きくするため、密度の低い膜を形成することが好ましい。

【0094】なお、ゲッタリングサイト 607 は、ガス (Ar) 流量を 50 (sccm)、成膜パワーを 3 kW、基板温度を 150 °C、成膜圧力を 0.2 ~ 1.0 Pa として成膜すると、希ガス元素を $1 \times 10^{19}/\text{cm}^3 \sim 1 \times 10^{22}/\text{cm}^3$ 、好ましくは、 $1 \times 10^{20}/\text{cm}^3 \sim 1 \times 10^{21}/\text{cm}^3$ 、より好ましくは $5 \times 10^{20}/\text{cm}^3$ の濃度で含み、ゲッタリング効果が得られる半導体膜をスパッタ法で成膜することができる。

【0095】なお、希ガス元素は半導体膜中でそれ自体は不活性であるため、結晶質半導体膜 105 に悪影響を及ぼすことはない。また、希ガス元素としてはヘリウム (He)、ネ

オン (Ne)、アルゴン (Ar)、クリプトン (Kr)、キセノン (Xe) から選ばれた一種または複数種を用いる。本発明はゲッタリングサイトを形成するためにこれら希ガス元素をイオンソースとして用いること、またこれら元素が含まれた半導体膜を形成し、この膜をゲッタリングサイトとすることに特徴を有する。

【0096】ゲッタリングを確実に成し遂げるにはその後加熱処理をすることが必要となる。加熱処理はファーネスアニール法やRTA法で行う。ファーネスアニール法で行う場合には、窒素雰囲気中にて450～600℃で0.5～12時間の加熱処理を行う。また、RTA法を用いる場合には、加熱用のランプ光源を1～60秒、好ましくは30～60秒点灯させ、それを1～10回、好ましくは2～6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600～1000℃、好ましくは700～750℃程度にまで加熱されるようにする。

【0097】ゲッタリングは、被ゲッタリング領域（捕獲サイト）にある触媒元素が熱エネルギーにより放出され、拡散によりゲッタリングサイトに移動する。従って、ゲッタリングは処理温度に依存し、より高温であるほど短時間でゲッタリングが進むことになる。本発明において、触媒元素がゲッタリングの際に移動する距離は図9 (d)において矢印で示すように、半導体膜の厚さ程度の距離であり、比較的短時間でゲッタリングを完遂することができる。

【0098】なお、この加熱処理によっても $1 \times 10^{19}/cm^3$ ～ $1 \times 10^{21}/cm^3$ 、好ましくは $1 \times 10^{20}/cm^3$ ～ $1 \times 10^{21}/cm^3$ 、より好ましくは $5 \times 10^{20}/cm^3$ の濃度で希ガス元素を含む半導体膜607は結晶化することはない。これは、希ガス元素が上記処理温度の範囲においても再放出されず膜中に残存して、半導体膜の結晶化を阻害するためであると考えられる。

【0099】ゲッタリング工程終了後、非晶質半導体607を選択的にエッチングして除去する。エッチングの方法としては、CF₃によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキサイド（化学式 (CH₃)₄N OH）を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時バリア層606はエッチングストッパーとして機能する。また、バリア層606はその後フッ酸により除去すれば良い。

【0100】こうして図9 (e) に示すように触媒元素の濃度が $1 \times 10^{17}/cm^3$ 以下にまで低減された結晶質半導体膜608を得ることができる。

【0101】本実施例は、実施例1、2と組み合わせて用いることができる。

【0102】(実施例7) 本実施例ではTFTの半導体層を形成する工程について図10を用いて説明する。非晶質半導体膜の全面に触媒作用のある金属元素を全面に添加し結晶化すると共にゲッタリングを同時に行う方法である。

【0103】まず、図10 (A) に示すように、下地絶縁膜701上に触媒元素含有層702を形成する。これは、触媒元素を含む水溶液またはアルコール液をスピナーで塗布しても良いし、スパッタ法、蒸着法、プラズマ処理などにより形成しても良い。

【0104】その後、図10（B）に示すように非晶質半導体膜703を、プラズマCVD法や減圧CVD法、或いはスパッタ法で10～100nmの厚さに形成する。さらにバリア層704を形成する。これらの形成方法は実施形態1と同様にする。

【0105】次いで、プラズマCVD法で希ガス元素を $1 \times 10^{19}/\text{cm}^3 \sim 1 \times 10^{22}/\text{cm}^3$ 、好ましくは、 $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ 、より好ましくは $5 \times 10^{20}/\text{cm}^3$ の濃度含んだ半導体膜705を25～250nmの厚さで形成する。代表的には非晶質シリコン膜を選択する。この半導体膜705は、後に除去するので、密度の低い膜としておくことが望ましい。

【0106】そして、加熱処理を行う。加熱処理の方法としては、電熱炉を用いるファーネスアニール法や、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどを用いたRTA法を行う。

【0107】加熱処理により、触媒元素が非晶質構造を有する半導体膜703に染みだし、結晶化させるながら半導体膜705に向かって（図10（B）の矢印の方向）拡散する。これにより1回の加熱処理で結晶化とゲッタリングが同時に行われる。

【0108】その後、半導体膜705を選択的にエッチングして除去する。エッチングの方法としては、 C_1F_3 によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキサイド（化学式 $(\text{CH}_3)_4\text{N}\text{OH}$ ）を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時バリア層704はエッチングストッパーとして機能する。また、バリア層704はその後フッ酸により除去すれば良い。

【0109】こうして図10（D）に示すように触媒元素の濃度が $1 \times 10^{17}/\text{cm}^3$ 以下にまで減じられた結晶構造を有する半導体膜（第1の半導体膜）706を得ることができる。この結晶質半導体膜706の結晶性を高めるために、レーザ光を照射しても良い。

【0110】こうして図10（D）に示すように触媒元素の濃度が $1 \times 10^{17}/\text{cm}^3$ 以下にまで低減された結晶質半導体膜708を得ることができる。本実施例は、実施例1、2と組み合わせて用いることができる。

【0111】（実施例8）本実施例では、実施例1で得られたアクティブマトリクス基板から、液晶モジュールを作製する工程を以下に説明する。

【0112】アクティブマトリクス基板上に配向膜を形成しラビング処理を行う。なお、本実施例では配向膜を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0113】次いで、対向基板を用意する。この対向基板には、着色層、遮光層が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層を設けた。このカラーフィルタと遮光層とを覆う平坦化膜を設けた。次いで、平坦化膜上に透明導電膜からなる対向電極を画素部に形成し、対向基板の全面に配向膜を形成し、

ラピング処理を施した。

【0114】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材で貼り合わせる。シール材にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにして液晶モジュールが完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼りつけた。

【0115】こうして得られた液晶モジュールの構成を図11の上面図を用いて説明する。

【0116】図11で示す上面図は、画素部、駆動回路、FPC（フレキシブルプリント配線板：Flexible Printed Circuit）311を貼り付ける外部入力端子309、外部入力端子と各回路の入力部までを接続する配線310などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板300とがシール材307を介して貼り合わされている。

【0117】ゲート配線側駆動回路301aと重なるように対向基板側に遮光層203aが設けられ、ソース配線側駆動回路301bと重なるように対向基板側に遮光層803bが形成されている。また、画素部305上の対向基板側に設けられたカラーフィルタ302は遮光層と、赤色（R）、緑色（G）、青色（B）の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色（R）の着色層、緑色（G）の着色層、青色（B）の着色層の3色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【0118】ここでは、カラー化を図るためにカラーフィルタ302を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

【0119】また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層303a、303bを設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

【0120】また、上記遮光層を設げずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

【0121】また、外部入力端子にはベースフィルムと配線から成るFPC311が異方性導電性樹脂で貼り合わされている。さらに補強板で機械的強度を高めている。なお、外部入力端子部のA-A'で切断した様子を図11（B）で示す。

【0122】以上のようにして、本発明のように低抵抗の導電膜であるA₁またはA₁を主成分とする導電膜と、WまたはWを主成分とする導電膜と、T_iまたはT_iを主成分とする導電膜とを積層してゲート電極を形成することにより、大型の表示装置を形成しても配線抵抗が高くなつて信号遅延等の問題が生じることがない。このように、本発明のゲート電極を含んで作製される液晶モジュールは各種電子機器の表示部として用いることができる。

【0123】(実施例9) 本発明を実施して形成されたCMOS回路や画素部はアクティブマトリクス型液晶ディスプレイ(液晶表示装置)に用いることができる。即ち、それら液晶表示装置を表示部に組み込んだ電気器具全てに本発明を実施できる。

【0124】その様な電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、パソコンコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図12、図13及び図14に示す。

【0125】図12(A)はパソコンコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。

【0126】図12(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。

【0127】図12(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。

【0128】図12(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。

【0129】図12(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0130】図12(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。

【0131】図13(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。

【0132】図13(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。

【0133】なお、図13(C)は、図13(A)及び図13(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー280

3、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図13(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0134】また、図13(D)は、図13(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図13(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0135】ただし、図13に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の液晶表示装置の適用例は図示していない。

【0136】図14(A)は携帯電話であり、3001は表示用パネル、3002は操作用パネルである。表示用パネル3001と操作用パネル3002とは接続部3003において接続されている。接続部3003における、表示用パネル3001の表示部3004が設けられている面と操作用パネル3002の操作キー3006が設けられている面との角度θは、任意に変えることができる。さらに、音声出力部3005、操作キー3006、電源スイッチ3007、音声入力部3008を有している。

【0137】図14(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。

【0138】図14(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

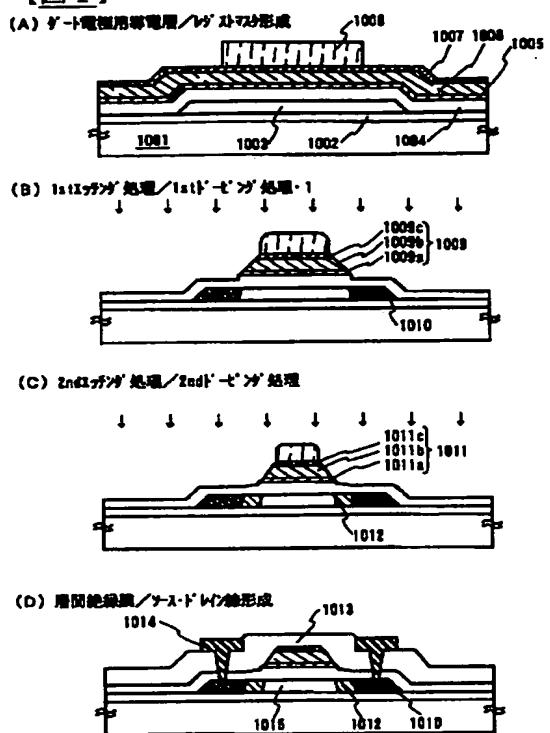
【0139】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例1～8を組み合わせた構成を用いても実現することができる。

【0140】

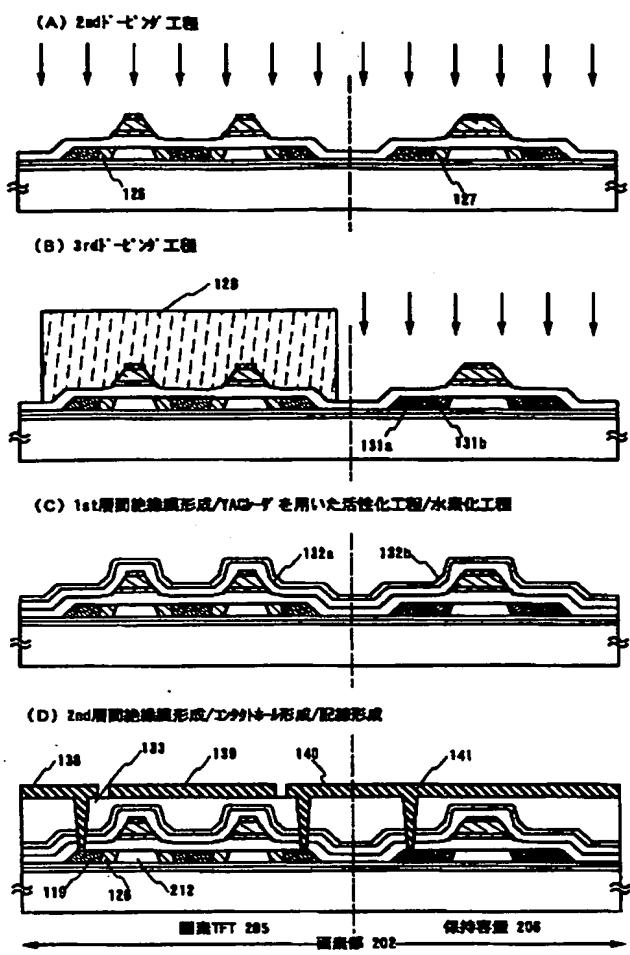
【発明の効果】本発明が開示する低抵抗の材料を用いた配線の作製技術により、アクティブラマトリクス型の液晶表示装置に代表される半導体装置において、画素部の面積が大きくなり大画面化しても、配線抵抗が抑えられているため、信号遅延等の問題が生じることなく良好な表示を実現することができる。

【0141】画素部のソース配線の抵抗を大幅に低下させることができるために、例えば、対角40インチや対角50インチの大画面液晶表示装置を作製する技術としても本発明は対応しうる。

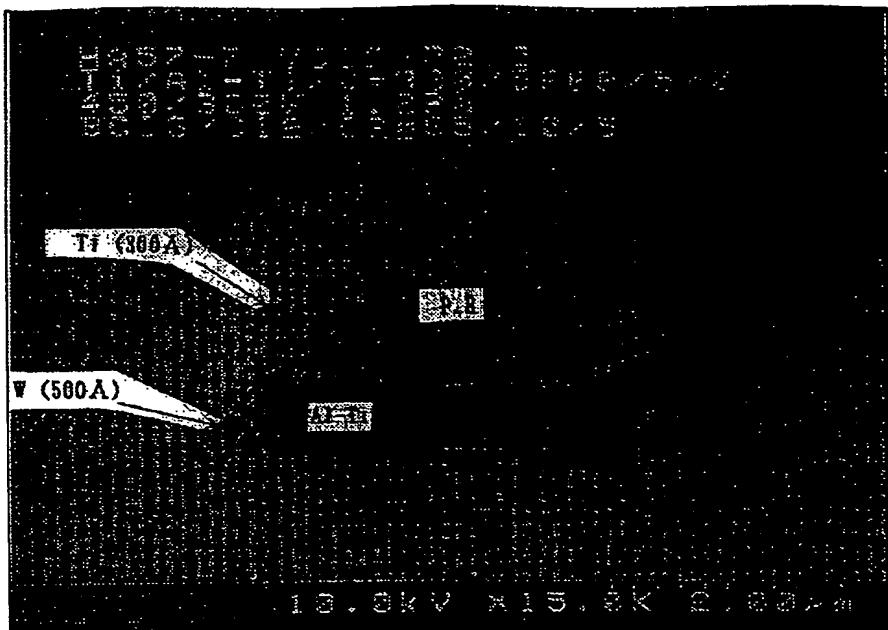
【図 1】



【図 6】



【図2】



【図 7】

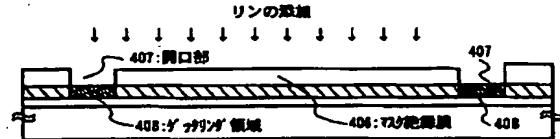
(A) 下地絶縁膜、非晶質半導体膜の形成



(B) 結晶化工程



(C) リングアーチ工程



(D) ゲッタリング工程

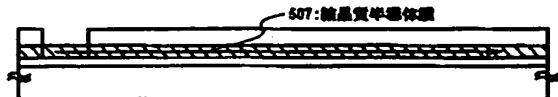


【図 8】

(A) 敷基元素を挿入する工程



(B) 結晶化工程



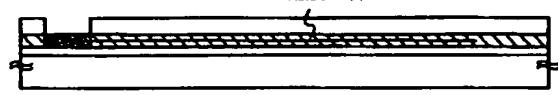
(C) リドープ工程

リンの添加

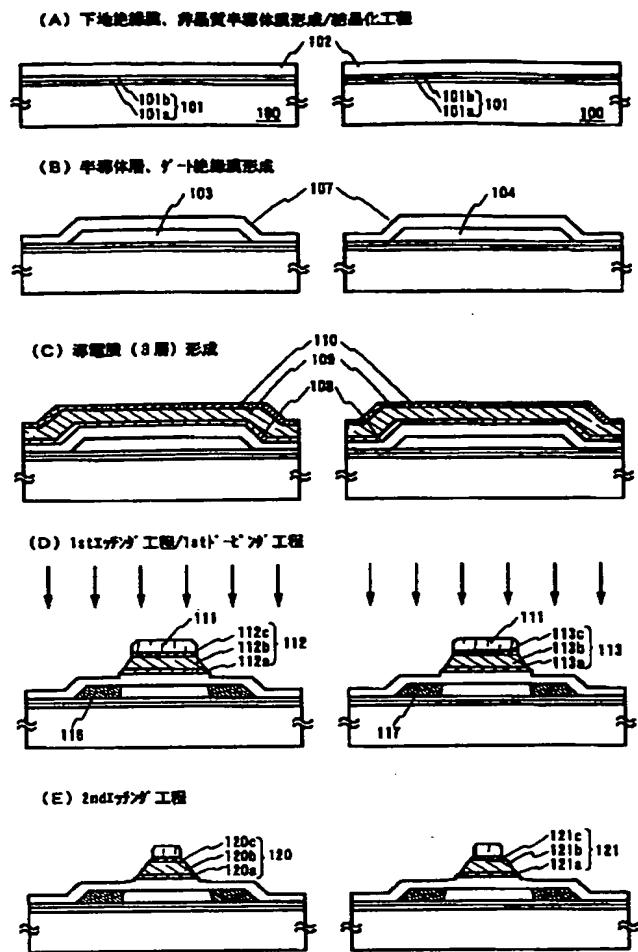


(D) ゲッタング工程

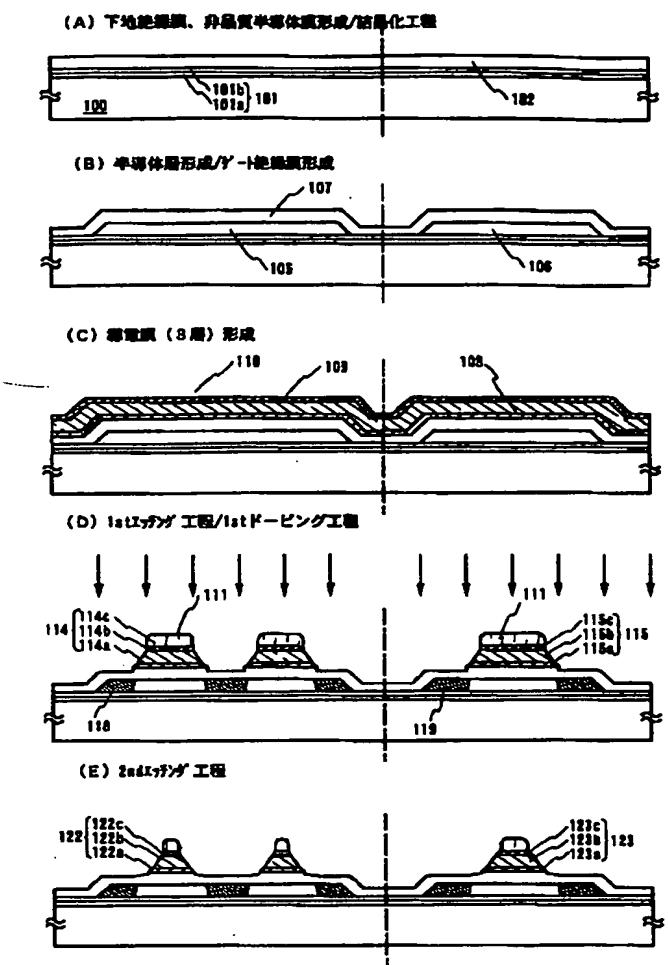
509: 晶体質半導体膜



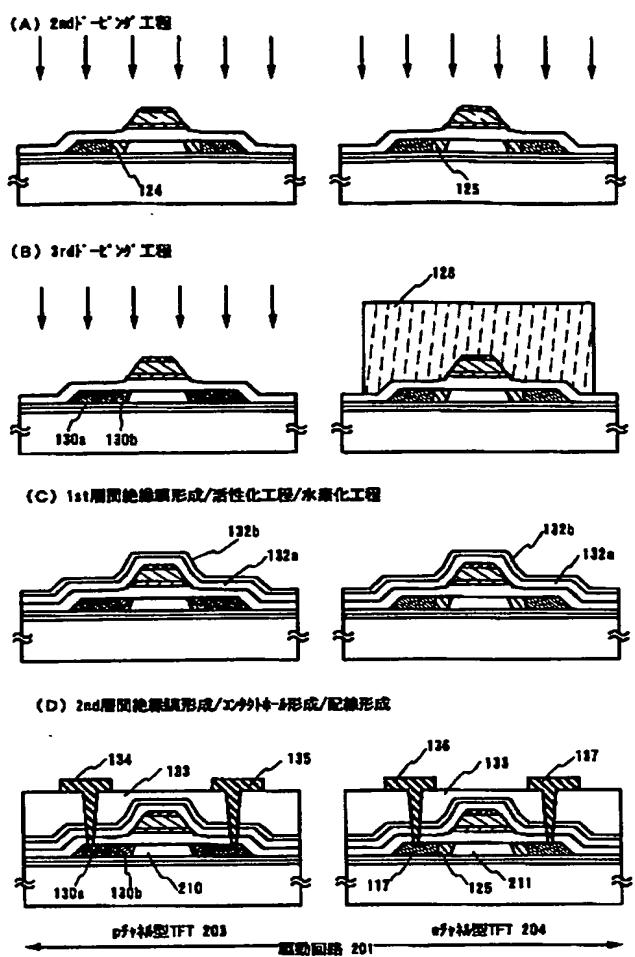
【図3】



【図4】

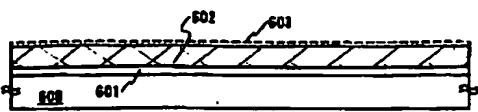


【図5】



【図 9】

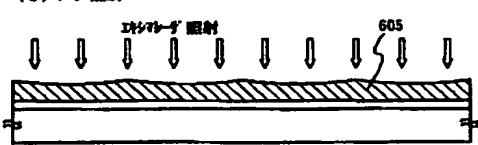
(A) 不純物添加工程



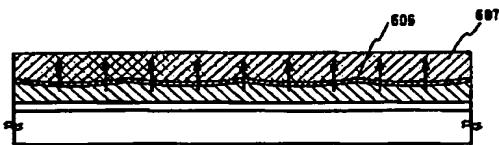
(B) 結晶化工程



(C) レーザ照射



(D) ゲッタリング工程

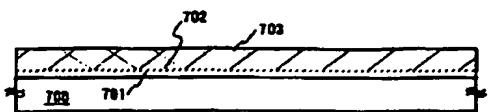


(E) ゲッタリングサイト、バリア層除去

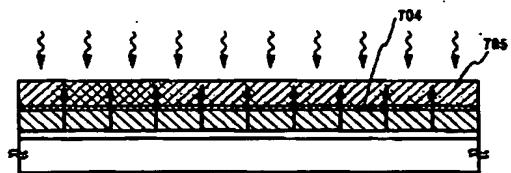


【図10】

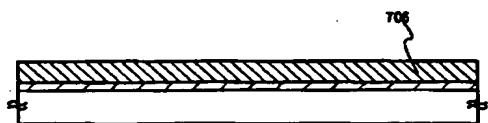
(A) 不純物処理工程



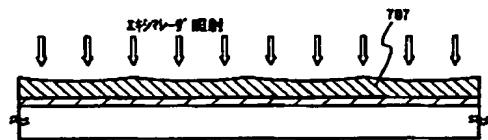
(B) 晶晶化およびガラス冷工程



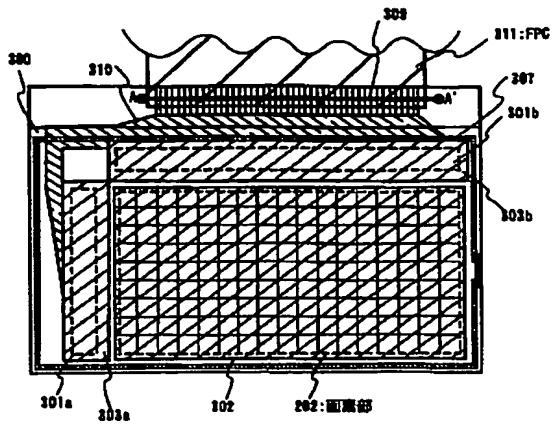
(C) ガラス層剥離、不純物除去



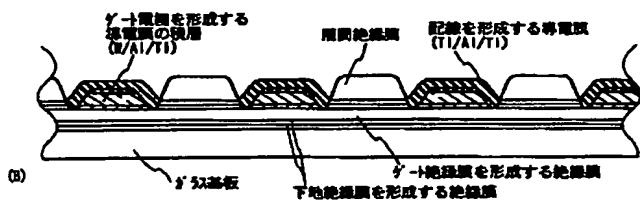
(D) レーザ照射



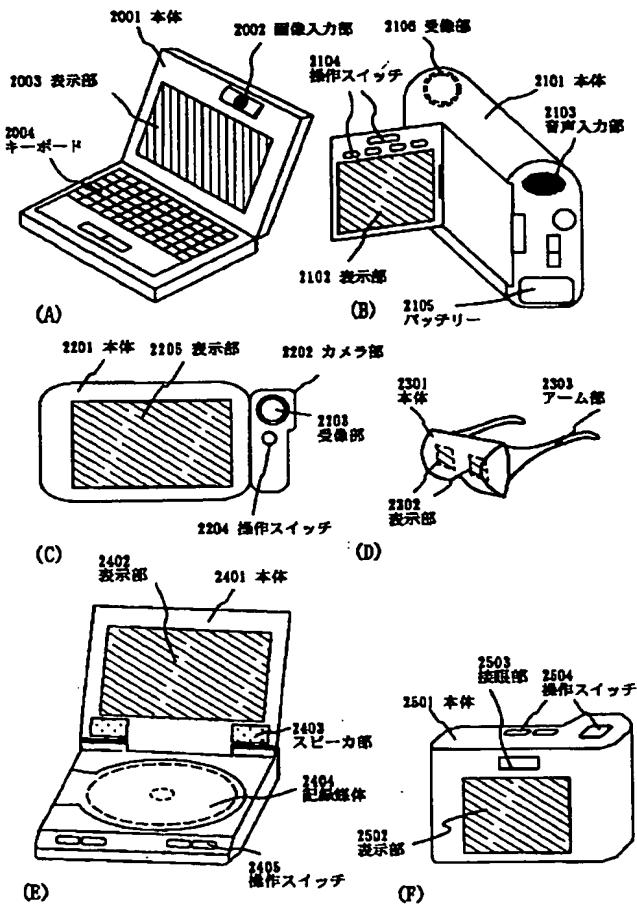
【図 1.1】



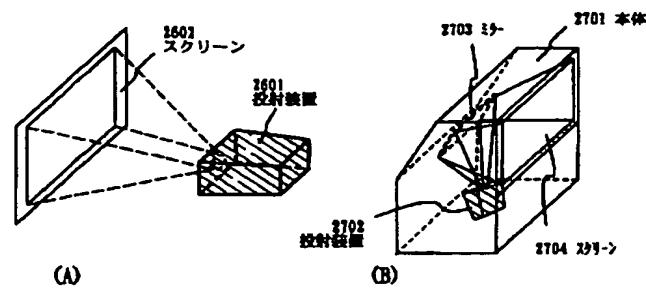
(a)



【図1.2】

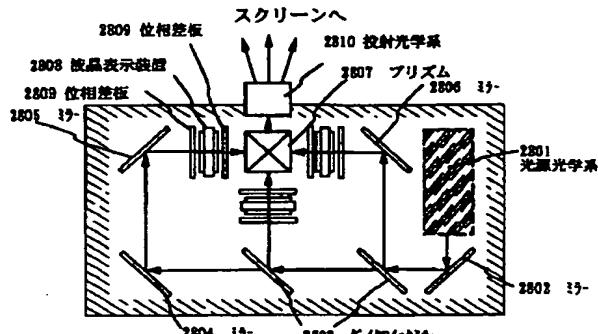


【図 1-3】

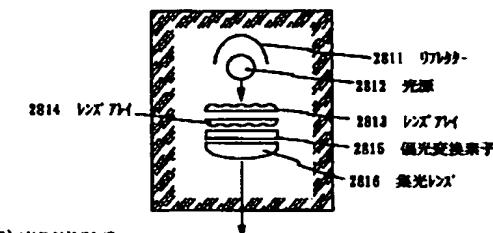


(1)

(B)



(C) 投射装置 (三板式)



(D) 光源光学系

【 1 4】

